

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-58102

(P2003-58102A)

(43) 公開日 平成15年2月28日 (2003.2.28)

(51) Int.Cl. ⁷	識別記号	F I	テームト [*] (参考)
G 0 9 G 3/28		G 0 9 G 3/20	6 1 1 J 5 C 0 0 6
3/20	6 1 1		6 1 2 K 5 C 0 5 8
	6 1 2		6 2 1 A 5 C 0 8 0
	6 2 1		6 2 1 M
			6 2 3 H
審査請求 未請求 請求項の数 7 O L (全 20 頁) 最終頁に続く			

(21) 出願番号 特願2001-248442(P2001-248442)

(22) 出願日 平成13年8月20日 (2001.8.20)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 松本 和久

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100090158

弁理士 藤巻 正憲

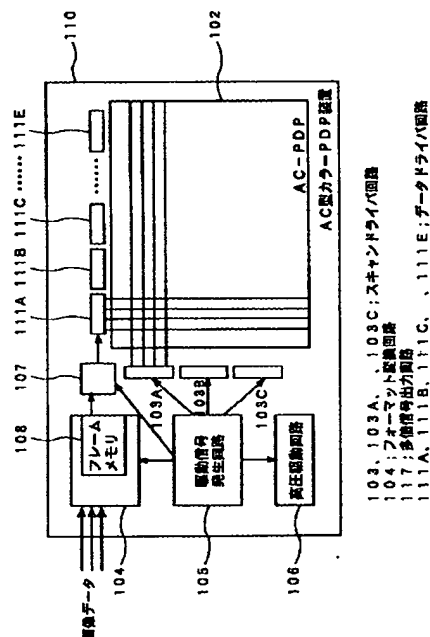
最終頁に続く

(54) 【発明の名称】 マトリクス表示装置及びその駆動方法

(57) 【要約】

【課題】 画面を高精細化及び大画面化してもシフトクロック信号とシリアル表示データ信号との間で位相のずれが発生せず、誤った表示及び映像ノイズの発生を防止することができるマトリクス表示装置及びその駆動方法を提供する。

【解決手段】 AC型カラーPDP装置110において、フォーマット変換回路104及び駆動信号発生回路105の出力側とデータドライバ回路111の入力側との間に、多値信号出力回路107を設ける。多値信号出力回路107は、フォーマット変換回路104から出力されるシリアル表示データ信号及び駆動信号発生回路105から出力されるシフトクロック信号を多重化して3種類の論理値を持つ多値信号を生成し、各データドライバ回路111はこの多値信号からシフトクロック信号及びシリアル表示データ信号を復元する。



【特許請求の範囲】

【請求項1】 画像を表示する表示部と、この表示部を駆動する駆動回路部と、前記表示部と前記駆動回路部とを相互に接続する複数の配線とを有し、前記駆動回路部は、外部から画像データが入力されこの画像データに基づいて2値信号であるシリアル表示データ信号を生成すると共に2値信号であるシフトクロック信号を生成する制御回路と、前記シリアル表示データ信号及び前記シフトクロック信号を多重化して3種類以上の論理値を持つ1の多値信号を生成して前記配線に対して出力する多値信号出力回路と、を有し、前記表示部は、複数の画素が第1の方向及びこれに直交する第2の方向にマトリクス状に配列された表示パネルと、前記第2の方向に配列された1又は複数群の画素群を選択する複数のスキャンドライバ回路と、前記スキャンドライバ回路により選択された画素群の各画素にデータ信号を与える複数のデータドライバ回路と、を有し、前記データドライバ回路は、前記配線を介して入力された前記多値信号からシリアル表示データ信号及びシフトクロック信号を復元するデコード回路と、このデコード回路から出力された前記シフトクロック信号に同期して前記シリアル表示データ信号が入力されるシフトレジスタ回路と、前記シフトレジスタ回路から出力された前記シリアル表示データ信号に基づいて前記画素に電圧を供給して発光させる電圧供給回路とを有することを特徴とするマトリクス表示装置。

【請求項2】 前記多値信号が3種類の論理値を持つ3値信号であることを特徴とする請求項1に記載のマトリクス表示装置。

【請求項3】 前記画素が放電ガスが封入されたセルであり、前記表示パネルが前記第1の方向に沿って1列に配列されたセルからなる第1の群毎に設けられ前記第1の方向に延びるデータ電極と前記第2の方向に沿って1列に配列されたセルからなる第2の群毎に設けられ前記第2の方向に延びる維持電極及び走査電極とを備えたプラズマディスプレイパネルであり、前記スキャンドライバ回路が前記維持電極及び前記走査電極を介して1又は複数の前記第2の群を選択して電圧を供給するものであり、前記データドライバ回路が前記データ電極を介して1又は複数の前記第1の群を選択して電圧を供給し前記選択された第1の群及び前記選択された第2の群の双方に属するセルを発光させることにより前記プラズマディスプレイパネルに画像を表示させるものであることを特徴とする請求項1又は2に記載のマトリクス表示装置。

【請求項4】 複数の画素がマトリクス状に配列された表示パネルを具備し画像を表示する表示部と、この表示部を駆動する駆動回路部と、前記表示部と前記駆動回路部とを相互に接続する複数の配線とを備えるマトリクス表示装置の駆動方法において、前記駆動回路部において2値信号であるシフトクロック信号を生成する工程と、外部から入力された画像データに基づいて2値信号であ

るシリアル表示データ信号を生成する工程と、前記シリアル表示データ信号及び前記シフトクロック信号を多重化して3種類以上の論理値を持つ1の多値信号を生成する工程と、前記多値信号を前記駆動回路部から前記表示部まで伝送する工程と、前記表示部において前記多値信号からシリアル表示データ信号及びシフトクロック信号を復元する工程と、前記シリアル表示データ信号に基づいて前記画素に電圧を供給して発光させる工程と、を有することを特徴とするマトリクス表示装置の駆動方法。

【請求項5】 前記多値信号が3種類の論理値を持つ3値信号であることを特徴とする請求項4に記載のマトリクス表示装置の駆動方法。

【請求項6】 前記シフトクロック信号の論理値がHであり前記シリアル表示データ信号の論理値がHであるとき前記多値信号の論理値をHとし、前記シフトクロック信号の論理値がHであり前記シリアル表示データ信号の論理値がLであるとき前記多値信号の論理値をLとし、前記シフトクロック信号の論理値がLであるとき前記多値信号の論理値をMとすることを特徴とする請求項5に記載のマトリクス表示装置の駆動方法。

【請求項7】 前記シフトクロック信号の論理値がHであり前記シリアル表示データ信号の論理値がHであるとき前記多値信号の論理値をHとし、前記シフトクロック信号の論理値がHであり前記シリアル表示データ信号の論理値がLであるとき前記多値信号の論理値をMとし、前記シフトクロック信号の論理値がLであるとき前記多値信号の論理値をLとすることを特徴とする請求項5に記載のマトリクス表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はプラズマディスプレイ等のマトリクス表示装置及びその駆動方法に関し、特に、高精細大画面マトリクス表示装置においてもシフトクロック信号の位相とシリアル表示データ信号の位相との間にずれが発生しないマトリクス表示装置及びその駆動方法に関する。

【0002】

【従来の技術】面放電型のプラズマディスプレイパネルにおいては、2枚のガラス基板が設けられ、この2枚のガラス基板上に夫々、行方向に延びる行電極及び列方向に延びる列電極が設けられている。また、行電極が設けられているガラス基板上においては行電極上に誘電体層が設けられ、列電極が設けられているガラス基板上においては列電極上に蛍光体層が設けられている。更に、前記ガラス基板間には隔壁が設けられ、この2枚のガラス基板は前記隔壁による微小な間隔を隔てて相互に対向するように配置されている。これにより、両ガラス基板間には前記隔壁によって区画されマトリクス状に配列された複数のセルが形成される。各セルにはガスが封入される。これにより、マトリクス構造の平面形プラズマディ

スプレイパネルが形成される。

【0003】このプラズマディスプレイパネルにおいては、行電極及び列電極を夫々独立に駆動することによって、駆動された行電極と列電極との交点部分に位置するセルにおいて封入されたガスにプラズマ放電を発生させ、このプラズマ放電により列電極上に設けられた蛍光体を励起して発光させるようになっている。なお、カラー表示を行うプラズマディスプレイパネルの場合は、R（赤）、G（緑）、B（青）のいずれかの色に発光する蛍光体層を具備する3種類のセルが設けられ、各色のセルが列電極に沿って1列に配列され、各列電極を夫々独立に駆動することによって複数の色を発光させ、カラー表示を行うことができるようになっている。

【0004】このような面放電型のプラズマディスプレイパネルにおける各電極の駆動方法としては、行電極として、例えば各行に共通に設けられたX電極と各行毎に設けられたY電極とを交互に配置し、X電極とY電極との間に交互に電圧パルスを加加して、半周期毎に極性の反転する放電を発生させるAC（交流）駆動方式が一般に使用されている。

【0005】このようなAC駆動方式のプラズマディスプレイパネルにおいては、各セルの電極間で一旦放電が生じると、放電空間において生成された電子及びイオンが誘電体層上に蓄積して壁電荷が形成される。そして壁電荷が形成されたセルにおいては、行電極に低い電圧を加加するだけで壁電荷の電界の作用によって放電が可能となり、この低い電圧を半周期毎に反転させて加加することによって前記放電を維持できるようになる。この機能はメモリ機能と呼ばれ、この機能に基づいて低い印加電圧により維持される放電は維持放電と呼ばれている。

【0006】AC駆動方式のプラズマディスプレイパネルにおいて画像の階調表示を行うためには、1フィールド期間を複数のサブフィールドに分割して、サブフィールド毎に維持放電を発生させる時間（回数）を異ならせる方法がある。これにより、維持放電回数が多いセルほど明るく発光するので、維持放電回数を制御することにより画像の階調表示が可能となる。具体的には、各サブフィールドに、例えば、2の階乗倍の割合で増加する維持放電期間を割り当て、1フィールド毎にリセットしながら1フィールド内において適当なサブフィールドを選択して発光させることによって、任意の明るさの発光を実現する。

【0007】以下、従来のマトリクス表示装置であるAC型カラーPDP装置の構成及び動作について説明する。図13は、この従来のAC型カラーPDP装置の構成を示すブロック図であり、図14はこのAC型カラーPDP装置に組み込まれたデータドライバ回路の構成を示す図である。

【0008】図13に示すように、AC型カラーPDP装置100は、複数のデータドライバ回路101A、1

01B、101C、・・・、101Eと、AC型プラズマディスプレイパネル（AC-PDP）102と、スキヤンドライバ回路103A、・・・、103Cと、フォーマット変換回路104と、駆動信号発生回路105と、高圧駆動回路106とから概略構成されている。

【0009】AC-PDP102はメモリ機能を利用したサブフィールドシーケンスにより駆動されるAC駆動方式のプラズマディスプレイパネルであって、（M行×N列）に画素が配列されている。AC-PDP102においては、M行の行電極（走査・維持電極）と、R、G、Bの各色に対応する電極をN列に配置した列電極（データ電極）とが格子状に配列されている。

【0010】フォーマット変換回路104はフレームメモリ108を有し、AC型カラーPDP装置100の外部からR、G、Bの3色に対応する3組のシリアルデータからなる画像データが入力され、この画像データをAC-PDP102の各列に対応するフレームメモリ108によってフォーマット変換し、AC-PDP102の列毎にR、G、Bの3色が順次配列されるように変換されたシリアル表示データ信号DSを作成し、このシリアル表示データ信号DSをデータドライバ回路101A、101B、101C、・・・、101E（以下、総称してデータドライバ回路101という）に対して出力するものである。なお、フォーマット変換回路104からデータドライバ回路101に至るシリアル表示データ信号DSの信号線はデータドライバ回路101と同数だけ設けられている。

【0011】駆動信号発生回路105は、垂直同期信号検出回路（図示せず）において検出された前記画像データ中に含まれる垂直同期信号に応じて、1フィールド毎に所定のシーケンスに従って行駆動信号と列駆動信号とを生成して、行駆動信号をスキヤンドライバ回路103A、・・・、103Cに供給し、列駆動信号をデータドライバ回路101A、101B、101C、・・・、101E及び高圧駆動回路106に供給すると共に、シフトクロック信号SC、並列ラッチ制御信号Φ及び出力制御信号OSをデータドライバ回路101A、101B、101C、・・・、101Eに対して出力するものである。なお、シフトクロック信号SCは、全てのデータドライバ回路101について共通である。そのため、駆動信号発生回路105からデータドライバ回路101に至るシフトクロック信号SCの信号線は、途中でバッファが設けられて多段に分岐されている。

【0012】高圧駆動回路106は、駆動信号発生回路105から入力された列駆動信号に基づいて、各データドライバ回路101A、101B、101C、・・・、101Eへ高圧電源Vdを供給するものである。

【0013】データドライバ回路101A、101B、101C、・・・、101Eは夫々集積回路からなり、AC-PDP102の列電極n本当たり1個の割合で設

10

20

30

40

50

けられ、夫々 n 本の列電極を駆動するものである。各データドライバ回路101は、フォーマット変換回路104から n 列の列電極に対応するシリアル表示データ信号DSを受け取って、駆動信号発生回路105から入力されるシフトクロック信号SC、並列ラッチ制御信号Φ及び出力制御信号OSに基づいて、走査期間毎にAC-PDP102の各列電極に対して並列にデータ信号を出力するものである。なお、データドライバ回路101は図13の図面上の横方向（行方向）に延びるAC-PDP102の1辺に沿って配列されており、その数は任意である。データドライバ回路101の詳細な説明は後述する。

【0014】スキヤンドライバ回路103A、・・・、103C（以下、総称してスキヤンドライバ回路103という）は夫々集積回路からなり、AC-PDP102の行電極 m 本当たり1個の割合で設けられ、夫々 m 本の行電極を駆動するものである。各スキヤンドライバ回路103は、駆動信号発生回路105から入力された行駆動信号に基づいて、走査信号を m 行の行電極に対して順次出力するものである。なお、スキヤンドライバ回路103は図13の図面上の縦方向（列方向）に延びるAC-PDP102の1辺に沿って配列されており、その数は任意である。

【0015】図14に示すように、従来のデータドライバ回路101は、 n 段のシフトレジスタ回路11と、シフトレジスタ回路11の出力側に接続された n 回路分の並列ラッチ回路12と、並列ラッチ回路12の出力側に並列に接続された n 個の出力制御用論理ゲート回路G1、G2、G3、G4、・・・、G n （以下、総称して出力制御用論理ゲート回路Gという）と、各出力制御用論理ゲート回路Gの出力側に接続された n 個の高耐圧CMOS（Complementary Metal Oxide Semiconductor）ドライバB1、B2、B3、B4、・・・、B n （以下、総称して高耐圧CMOSドライバBという）とから概略構成されている。

【0016】シフトレジスタ回路11は、 n 段のシフトレジスタからなり、フレームメモリ108から入力されたシリアル表示データ信号DSが、駆動信号発生回路105から入力されたシフトクロック信号SCに同期して1走査周期毎にシフトして入力されるものである。シフトレジスタ回路11は、入力されたシリアル表示データ信号DSに基づいて、データO1、O2、O3、O4、・・・、O n を並列ラッチ回路12に対して出力する。

【0017】並列ラッチ回路12は、シフトレジスタ回路11の n 段のシフトレジスタ回路11から出力されたデータO1、O2、O3、O4、・・・、O n を、駆動信号発生回路105からの並列ラッチ制御信号Φに基づいてラッチするものである。

【0018】出力制御用論理ゲート回路G1、G2、G3、G4、・・・、G n は、駆動信号発生回路105か

ら入力される出力制御信号OSに基づいて、並列ラッチ回路12から並列に入力されたデータO1、O2、O3、O4、・・・、O n を1走査周期ごとに同時に出力するものである。なお、出力制御用論理ゲート回路G1、G2、G3、G4、・・・、G n にはロジック回路電源が接続されている。

【0019】高耐圧CMOSドライバB1、B2、B3、B4、・・・、B n は、出力制御用論理ゲート回路G1、G2、G3、G4、・・・、G n から夫々入力されたデータO1、O2、O3、O4、・・・、O n を、高圧駆動回路106からの高圧電源Vdを使用して高圧の書込パルスであるデータ信号C1、C2、C3、C4、・・・、C n に変換して、夫々AC-PDP102の列電極（データ電極）に対して出力するものである。なお、並列ラッチ回路12、出力制御用論理ゲート回路G及び高耐圧CMOSドライバBにより電圧供給回路が構成されている。

【0020】以下、従来のAC形カラーPDP装置100の動作を説明する。先ず、図13に示すAC型カラーPDP装置100のフォーマット変換回路104に対して、画像データがB、G、Pの各色毎にシリアルに輸入される。フォーマット変換回路104は、この画像データをデータドライバ回路101のデータ出力数（ N 個）に分割し、フォーマット変換してシリアル表示データ信号DSを作成する。次に、フォーマット変換回路104は、このシリアル表示データ信号DSを走査期間内に各データドライバ回路101に対して、独立した信号線を介して夫々シリアル形式で出力する。一方、駆動信号発生回路105は各データドライバ回路101に対してシフトクロック信号SCを出力する。

【0021】図14に示すように、各データドライバ回路101においては、シフトレジスタ回路11が、シリアル形式で伝送された各色のシリアル表示データ信号DSを、シフトクロック信号SCに基づいてR、G、Bの順に取り込む。即ち、シリアル表示データ信号DSがシフトレジスタ回路11にシフト入力される。シフトレジスタ回路11は、シリアル表示データ信号DSを取り込んだ後、この信号を並列ラッチ回路12に対して出力する。並列ラッチ回路12は、駆動信号発生回路105から出力された並列ラッチ制御信号Φに基づいて、シフトレジスタ回路11の出力信号を並列にラッチする。

【0022】図15（a）及び（b）はデータドライバ回路101における表示データの入力方法を示すタイミングチャートである。図15（a）及び（b）に示すように、データドライバ回路101におけるシリアル表示データ信号DSの入力方法には、例えば2種類の方法がある。図15（a）はシリアル表示データ信号DSを1ビットずつデータドライバ回路101に入力する方法を示し、（b）は3ビットずつ入力する方法を示す。図15（a）に示すように、データドライバ回路101にシ

10

20

30

40

50

リアル表示データ信号DSを1ビットずつ入力する場合は、シリアル表示データ信号DSの入力データはR、G、Bの順に繰り返し配列されており、シフトクロック信号SCの立ち上がり時毎に順次シフトレジスタ回路11においてシフトされ、シリアル表示データ信号DSが最後までシフトされたとき、並列ラッチ制御信号Φの例えば立ち下がりに同期して、並列ラッチ回路12に並列にラッチされ、その後、各出力制御用論理ゲート回路Gに対して、シリアル表示データ信号DSをデータOn、On-1、On-2、On-3、On-4、On-5、On-6、・・・、O3、O2、O1のように、夫々1ビットずつ出力する。

【0023】これに対して、図15(b)に示すように、データドライバ回路101にシリアル表示データ信号DSを3ビットずつ入力する場合は、シリアル表示データ信号DSの内容は図15(a)に示す1ビットデータ入力の場合と同じであるが、シリアル表示データ信号DSはシフトクロック信号SCの立ち上がり毎にR、G、Bの順序で3ビットずつグループ化され、シリアル表示データ信号DS1乃至DS3に分割される。シリアル表示データ信号DS1乃至DS3はシフトクロック信号SCの立ち上がり時毎に順次シフトレジスタ回路11においてシフトされ、シリアル表示データ信号DS1乃至DS3が最後までシフトされたとき、並列ラッチ制御信号Φの例えば立ち下がりに同期して、並列ラッチ回路12に並列にラッチされ、その後、各出力制御用論理ゲート回路Gに対して同時に出力される。

【0024】図16はシフトレジスタ回路11がシリアル表示データ信号DSを取り込む方法を示すタイミングチャートである。図16に示すように、シリアル表示データ信号DSがフォーマット変換回路104から出力されている間に、シフトクロック信号SCが例えばLレベル(ロウレベル)からHレベル(ハイレベル)に変化すると、シリアル表示データ信号DSがシフトレジスタ回路11に取り込まれる。なお、図16に示すセットアップタイムとは、シフトクロック信号SCの有効な側のエッジ(この場合はLレベルからHレベルに変化するエッジ)に対して、シリアル表示データ信号DSの論理レベルが前もって確定している時間をいい、ホールドタイムとは、シフトクロック信号SCの有効な側のエッジに対して、シリアル表示データ信号DSの論理レベルがその後も確定している時間をいう。即ち、シリアル表示データ信号DSの論理レベルが確定している期間中において、シフトクロック信号SCがLレベルからHレベルに変化する(立ち上がる)より前の期間がセットアップタイムであり、後の期間がホールドタイムである。シリアル表示データ信号DSがシフトレジスタ回路11に取り込まれるためには、セットアップタイム及びホールドタイムの双方が正しく確保されている必要がある。

【0025】このように、出力制御用論理ゲート回路G

1、G2、G3、G4、・・・、Gnは、駆動信号発生回路105から出力された出力制御信号OSに基づいて、並列ラッチ回路12にラッチされたデータO1、O2、O3、O4、・・・、Onを、高耐圧CMOSドライバB1、B2、B3、B4、・・・、Bnに対して同一タイミングで並列に出力する。その後、図14に示すように、高耐圧CMOSドライバB1、B2、B3、B4、・・・、Bnが高圧駆動回路106から供給される高圧電源Vdにより、データO1、O2、O3、O4、・・・、On(以下、総称してデータOという)を高電圧の書込パルスであるデータ信号C1、C2、C3、C4、・・・、Cn(以下、総称してデータ信号Cという)に変換し、AC-PDP102の各列電極(データ電極)に対して出力する。

【0026】図14に示すように、各データドライバ回路101においては、出力制御信号OSの立ち上がりに応じて、並列ラッチ回路12から出力されたデータOを、出力制御用論理ゲート回路Gを経て高耐圧CMOSドライバBに入力することによって、データOのHレベルをデータ信号Cの高圧電源電圧Vdに変換すると共に、データOのLレベルをデータ信号Cの0Vに変換して出力する。このため、データOに基づいて高圧電源電圧Vd又は接地電位(0V)がAC-PDP102(図13参照)のデータ電極に印加され、走査が行われた行電極との交点に位置するセル内において放電が生じ、パネルへの表示データの書込が行われる。表示に必要なライン数分だけ前述のデータ伝送-出力-書込を繰り返した後、AC-PDP102の各セルを維持期間に映像の明るさに応じた回数だけ発光させ、画像の表示を行う。例えば、画像信号として各色当たり8ビットの信号を入力し、1フレーム期間を走査期間及び維持期間を有するサブフレーム期間に時分割し、各フレーム期間において発光させるサブフレーム期間を適宜選択することにより、全体として画像を表示する。

【0027】

【発明が解決しようとする課題】しかしながら、前述の従来の技術には以下に示すような問題点がある。図13に示すように、AC型カラーPDP装置100において、データドライバ回路101はAC-PDP102の端縁に沿って配置されている。一方、シリアル表示データDSを出力するフォーマット変換回路104及びシフトクロック信号SCを出力する駆動信号発生回路105は、夫々AC型カラーPDP装置100内の1ヶ所に配置されている。AC-PDP102は大画面であるため、フォーマット変換回路104及び駆動信号発生回路105から近い位置に配置されているデータドライバ回路101と、フォーマット変換回路104及び駆動信号発生回路105から遠い位置に配置されているデータドライバ回路101とでは、フォーマット変換回路104及び駆動信号発生回路105からの信号線の長さが大き

く異なる。

【0028】また、図17は従来のAC型カラーPDP装置におけるシリアル表示データ信号及びシフトクロック信号の伝送経路を示す模式図である。フォーマット変換回路104から出力されるシリアル表示データ信号DSは、データドライバ回路101毎に異なるため、各データドライバ回路101に対して独立に伝送される。このため、フォーマット変換回路104からデータドライバ回路101に至るシリアル表示データ信号DSの信号線はデータドライバ回路101と同数だけ設けられている。従って、図17に示すように、シリアル表示データ信号DSの各信号線は途中に分岐がない。

【0029】これに対して、駆動信号発生回路105から出力されるシフトクロック信号SCは、全てのデータドライバ回路101について共通である。従って、駆動信号発生回路105からデータドライバ回路101に至るシフトクロック信号SCの信号線は、駆動信号発生回路105側の端部においては1本であり、途中で多段にバッファが設けられて分岐され、データドライバ回路101側の端部はデータドライバ回路101と同数になっている。シフトクロック信号SCはこの信号線を伝送されることにより、共通のシフトクロック信号SCが複数のデータドライバ回路101に分配される。

【0030】このように、シリアル表示データ信号DSとシフトクロック信号SCとの間における信号線の長さの違い並びにバッファ段数及びファンアウト数の差により、データドライバ回路101において、シリアル表示データ信号DSとシフトクロック信号SCとの間に遅延時間の差が発生する。この結果、データドライバ回路101のシフトレジスタ回路11がシリアル表示データ信号DSを取り込む際にエラーが生じ、AC-PDP102において誤った表示又は映像ノイズが発生することがある。特に、シリアル表示データ信号DS及びシフトクロック信号SCの高速シリアル伝送を行う場合においては、両者の間に遅延時間差が生じやすく、全てのデータドライバ回路101において、シリアル表示データ信号DSの位相とシフトクロック信号SCの位相とを揃えることが困難である。

【0031】図18(a)及び(b)並びに図19

(a)及び(b)はシフトレジスタ回路11におけるシリアル表示データ信号DSの位相及びシフトクロック信号SCの位相とシリアル表示データ信号DSの入力挙動との関係を示す図である。図18(a)はシリアル表示データ信号DSの位相とシフトクロック信号SCの位相との関係が適切である場合のタイミングチャートであり、図18(b)はこの場合のAC-PDP102の表示挙動を示す図であり、図19(a)はシリアル表示データ信号DSの位相とシフトクロック信号SCの位相との関係が不適切である場合のタイミングチャートであり、図19(b)はこの場合のAC-PDP102の表

示挙動を示す図である。なお、図15(a)に示すように、シリアル表示データ信号DSはデータO1、O2、・・・、OnがR、G、Bの順にシリアルに繰り返し配列されており、データO1、O4、・・・、On-2は赤色(R)の発光を行う信号である。図18(a)、(b)及び図19(a)、(b)は、いずれもシリアル表示データ信号DSとして赤単色データが入力される場合を示す。

【0032】図18(a)に示すように、シリアル表示データ信号DSの位相とシフトクロック信号SCの位相との関係が適切である場合には、前述のセットアップタイム及びホールドタイムの双方が適切に確保され、データO1、O4、・・・、On-2がシフトレジスタ回路11に正しく取り込まれる。この結果、図18(b)に示すように、データ信号C1、C4、・・・、Cn-2がAC-PDP102におけるこれらの信号に相当するデータ電極(列電極)に出力され、AC-PDP102が赤単色画面となる。

【0033】これに対して、図19(a)に示すように、シリアル表示データ信号DSの位相とシフトクロック信号SCの位相が相互にずれている場合には、セットアップタイム又はホールドタイムが適切に確保できない。このため、信号の伝送エラーが生じ、例えば、データO4がシフトクロック信号SCの位相遅れによって、シフトレジスタ回路11にデータO4として取り込まれずに、1つ前のデータO3に相当するデータとして取り込まれる。同様に、データOn-2はデータOn-3に相当するデータとして取り込まれる。この結果、図19(b)に示すように、データC3、・・・、Cn-3が、AC-PDP102における1つ前のデータに相当するデータ電極(列電極)に出力され、AC-PDP102が例えば青単色画面となる。シリアル表示データ信号DSは本来、赤単色画面を実現するためのデータであるから、この場合は誤った表示がなされたことになる。このように、信号の伝送エラーが生じてシリアル表示データ信号DSの位相とシフトクロック信号SCの位相が相互にずれると、シフトレジスタ回路11においてデータの取り込みエラーが生じ、誤った表示又は映像ノイズが発生する。

【0034】このように、AC型カラーPDP装置等のマトリクス表示装置において正しい表示を行うためには確実にデータの受渡ができなければならないが、前述の如く大画面のマトリクス表示装置においては、信号を高速で伝送しようとする信号の伝送エラーが生じやすくなるという問題点がある。例えば、水平解像度が1024のAC-PDP102に対して、出力数が96のデータドライバ回路101を使用する場合、データドライバ回路101の数は $3 \times 1024 / 96 = 32$ 個となる。更に、高速性能を改善するためにAC-PDPの上下両側にデータドライバ回路を配置してAC-PDP102

を上下両側から駆動する場合には、32個の2倍に相当する64個のデータドライバ回路が必要となる。このように空間的に広い領域にわたって配置された多数のデータドライバ回路へ、AC型カラーPDP装置内の1ヶ所に配置されたフォーマット変換回路及び駆動信号派生回路等の信号処理回路から、共通のタイミングで個々の表示データを高速に且つ確実に伝送することは極めて困難である。

【0035】データを高速で伝送する必要性は、カラーPDPの表示方式において現在主流の方式である走査・維持分離方式で特に高まっており、最近のデータドライバ回路における出力数の増大傾向、及び信号伝送パス幅の狭小化傾向の中で、益々その必要性が高まっている。一方、プラズマディスプレイパネルの特徴である高精細大画面表示を行おうとすると、画面周辺部に配置されたデータドライバ集積回路への信号線の長さは極めて長くなってしまい、シフトクロック信号とシリアル表示データ信号とのタイミングスキュー（位相ずれ）が増大しやすくなる。このように、高精細大画面のマトリクス表示装置、特に高精細大画面のプラズマディスプレイパネルにおいては、データを高速で伝送する必要性が高いにもかかわらず、データの高速伝送を困難になっている。

【0036】本発明はかかる問題点を鑑みてなされたものであって、画面を高精細化及び大画面化してもシフトクロック信号とシリアル表示データ信号との間で位相のずれが発生せず、誤った表示及び映像ノイズの発生を防止することができるマトリクス表示装置及びその駆動方法を提供することを目的とする。

【0037】

【課題を解決するための手段】本発明に係るマトリクス表示装置は、画像を表示する表示部と、この表示部を駆動する駆動回路部と、前記表示部と前記駆動回路部とを相互に接続する複数の配線とを有し、前記駆動回路部は、外部から画像データが入力されこの画像データに基づいて2値信号であるシリアル表示データ信号を生成すると共に2値信号であるシフトクロック信号を生成する制御回路と、前記シリアル表示データ信号及び前記シフトクロック信号を多重化して3種類以上の論理値を持つ1の多値信号を生成して前記配線に対して出力する多値信号出力回路と、を有し、前記表示部は、複数の画素が第1の方向及びこれに直交する第2の方向にマトリクス状に配列された表示パネルと、前記第2の方向に配列された1又は複数群の画素群を選択する複数のスキャンドライバ回路と、前記スキャンドライバ回路により選択された画素群の各画素にデータ信号を与える複数のデータドライバ回路と、を有し、前記データドライバ回路は、前記配線を介して入力された前記多値信号からシリアル表示データ信号及びシフトクロック信号を復元するデコード回路と、このデコード回路から出力された前記シフトクロック信号に同期して前記シリアル表示データ信号

が入力されるシフトレジスタ回路と、前記シフトレジスタ回路から出力された前記シリアル表示データ信号に基づいて前記画素に電圧を供給して発光させる電圧供給回路とを有することを特徴とする。

【0038】本発明においては、駆動回路部から表示部の各データドライバ回路までシリアル表示データ信号及びシフトクロック信号を伝送する際に、これらの信号の送り側、即ち駆動回路部側においてシリアル表示データ信号とシフトクロック信号とを多重化して1の多値信号を生成し、この多値信号を配線を介して各データドライバ回路に伝送する。受け側であるデータドライバ回路に入力された多値信号はデコード回路においてシリアル表示データ信号及びシフトクロック信号に復元される。このため、従来のシリアル表示データ信号及びシフトクロック信号を独立に伝送する方法のように、両信号の配線の長さの違い並びにバッファ段数及びファンアウト数の違いに起因するタイミングスキュー（位相ずれ）が発生することがない。この結果、表示部において誤った表示及び映像ノイズが発生することを防止することができる。又は、各データドライバ回路において個別に位相調整を行う必要がなくなる。

【0039】また、シリアル表示データ信号及びシフトクロック信号から多値信号を生成する多値信号出力回路並びに多値信号からシリアル表示データ信号及びシフトクロック信号を復元するデコード回路は簡略な構成の集積回路により実現することができる。このため、本発明のマトリクス表示装置は従来のマトリクス表示装置と比較して、回路設計及び基板設計において位相のずれに関して特別な配慮をする必要がなく、大型化及び高コスト化することがない。

【0040】本発明に係るマトリクス表示装置の駆動方法は、複数の画素がマトリクス状に配列された表示パネルを具備し画像を表示する表示部と、この表示部を駆動する駆動回路部と、前記表示部と前記駆動回路部とを相互に接続する複数の配線とを備えるマトリクス表示装置の駆動方法において、前記駆動回路部において2値信号であるシフトクロック信号を生成する工程と、外部から入力された画像データに基づいて2値信号であるシリアル表示データ信号を生成する工程と、前記シリアル表示データ信号及び前記シフトクロック信号を多重化して3種類以上の論理値を持つ1の多値信号を生成する工程と、前記多値信号を前記駆動回路部から前記表示部まで伝送する工程と、前記表示部において前記多値信号からシリアル表示データ信号及びシフトクロック信号を復元する工程と、前記シリアル表示データ信号に基づいて前記画素に電圧を供給して発光させる工程と、を有することを特徴とする。

【0041】

【発明の実施の形態】以下、本発明の実施例について添付の図面を参照して具体的に説明する。先ず、本発明の

第1の実施例について説明する。図1は本実施例に係るマトリクス表示装置であるAC型カラーPDP装置の構成を示すブロック図である。なお、図1に示すAC型カラーPDP装置110の構成要素において、図13に示す従来のAC型カラーPDP装置100の構成要素と同一の構成要素には同一の符号を付し、その詳細な説明を省略する。図1に示すように、本実施例に係るAC型カラーPDP装置110においては、フォーマット変換回路104及び駆動信号発生回路105の出力側に、多値信号出力回路107が設けられている。また、従来のAC型カラーPDP装置100におけるデータドライバ回路101A、101B、101C、・・・、101Eの代わりに、データドライバ回路111A、111B、111C、・・・、111E（以下、総称してデータドライバ回路111という）が設けられている。多値信号出力回路107の出力側はデータドライバ回路111A、111B、111C、・・・、111Eに夫々接続されている。更に、多値信号出力回路107とデータドライバ回路111A、111B、・・・、111Eとは、夫々1本の配線によって接続されている。即ち、この配線はデータドライバ回路111の数と同数本設けられている。本実施例に係るAC型カラーPDP装置110における上記以外の構成は、図13に示す従来のAC型カラーPDP装置100の構成と同一である。以下、多値信号出力回路107及びデータドライバ回路111の構成について詳細に説明する。

【0042】図2は多値信号出力回路107の構成を示すブロック図である。本実施例においては、多値信号としてL、M、Hの3種類の論理値からなる3値信号を使用する。論理値L、M、Hの実際の電圧レベルは任意である。例えば、Lには0V、Mには1.5V、Hには3Vを使用する。図2に示すように、多値信号出力回路107においては、3個のアナログマルチプレクサ24乃至26が設けられ、アナログマルチプレクサ24乃至26には、夫々Hレベル（3V）、Mレベル（1.5V）、Lレベル（0V）の電圧が入力されている。また、駆動信号発生回路105から出力されたシフトクロック信号SCが入力されるインバータ21が設けられ、シフトクロック信号SC及びフォーマット変換回路104から出力されたシリアル表示データ信号DSの双方が入力されるANDゲート22が設けられている。ANDゲート22の出力側は2つに分岐されており、そのうち一方に接続されるようにインバータ23が設けられている。インバータ23の出力側はアナログマルチプレクサ26の入力側に接続されている。ANDゲート22の出力側の他方はアナログマルチプレクサ24の入力側に接続されている。インバータ21の出力側はアナログマルチプレクサ25の入力側に接続されている。更に、アナログマルチプレクサ24乃至26の出力側にはバッファアンプ27が設けられ、このバッファアンプ27の出力

側には多値信号出力回路107の出力端子28が設けられている。

【0043】図3はデータドライバ回路111の構成を示すブロック図である。図3に示すように、データドライバ回路111は、ドライバ回路113及びデコード回路112が設けられ、ドライバ回路113の入力側にデコード回路112が接続されている。ドライバ回路113の構成は図14に示す従来のデータドライバ回路101の構成と同一である。

【0044】図4は図3に示すデコード回路112の構成を示すブロック図である。デコード回路112は多値信号出力回路107から出力された多値信号が入力され、この多値信号をシフトクロック信号SC及びシリアル表示データ信号DSに復元してドライバ回路113に対して出力するものである。

【0045】図4に示すように、デコード回路112においては、入力端子31が設けられ、バッファアンプ32が設けられ、入力端子31はバッファアンプ32の入力側に接続されている。また、3個のウインドウコンパレータ33乃至35が設けられ、バッファアンプ32の出力側はウインドウコンパレータ33乃至35の入力側に接続されている。ウインドウコンパレータ33は入力電圧が3VのときのみHレベルを出力するものであり、ウインドウコンパレータ34は入力電圧が1.5VのときのみHレベルを出力するものであり、ウインドウコンパレータ35は入力電圧が0VのときのみHレベルを出力するものである。ウインドウコンパレータ33及び35の出力側には、RS-フリップフロップ36が設けられ、ウインドウコンパレータ33及び35の出力信号が夫々RS-フリップフロップ36のセット端子及びリセット端子に入力されるようになっている。RS-フリップフロップ36のQ出力からは2値化されたシリアル表示データ信号DSがシフトレジスタ回路11に対して出力される。ウインドウコンパレータ34の出力信号は、そのままシフトクロック信号SCとしてシフトレジスタ回路11に対して出力される。

【0046】次に、本実施例に係るAC型カラーPDP装置110の動作について説明する。本実施例に係るAC型カラーPDP装置110の動作は、前述の従来のAC型カラーPDP装置100の動作と比較して、多値信号出力回路107においてシリアル表示データ信号DS及びシフトクロック信号SCを多重化して多値信号を生成し、この多値信号をデータドライバ回路111に伝送し、データドライバ回路111のデコード回路112において前記多値信号からシリアル表示データ信号DS及びシフトクロック信号SCを復元する点が異なる。

【0047】図1に示すように、フォーマット変換回路104から多値信号出力回路107に2値のシリアル表示データ信号DS（以下、単にデータ信号という）が入力される。また、駆動信号発生回路105から多値信号

10

20

30

40

50

出力回路107に2値のシフトクロック信号SC(以下、単にクロック信号という)が入力される。

【0048】次に、図2に示すように、多値信号出力回路107において、クロック信号がインバータ21を介してアナログマルチプレクサ25に入力される。このため、クロック信号がLである期間は、アナログマルチプレクサ25から1.5Vの電圧が出力され、出力端子28からは電圧が1.5Vの信号、即ち、論理値Mが出力される。クロック信号がHである期間において、データ信号がHである期間は、ANDゲート22から論理値Hが出力され、アナログマルチプレクサ24から3Vの電圧が出力される。従って、出力端子28から電圧が3Vの信号、即ち、論理値Hが出力される。クロック信号がHである期間において、データ信号がLである期間は、ANDゲート22から論理値Lが出力され、アナログマルチプレクサ26から0Vの電圧が出力される。従って、出力端子28から電圧が0Vの信号、即ち、論理値Lが出力される。このように、多値信号出力回路107においてクロック信号とデータ信号とが多重化され、出力端子28から3値の多値信号が出力される。

【0049】図5は、多値信号出力回路107に入力されるデータ信号及びクロック信号の波形と多値信号出力回路107から出力される多値信号の波形との関係を示すタイミングチャートである。図5に示すように、クロック信号がHである期間において、データ信号がHである場合は多値信号がH、データ信号がLである場合は多値信号がLになる。また、クロック信号がLである期間は多値信号はMを保持する。

【0050】多値信号出力回路107(図1参照)から出力された多値信号は、配線を経由して各データドライバ回路111のデコード回路112(図3参照)に入力される。図4に示すように、デコード回路112の入力端子31に入力された多値信号は、バッファアンプ32を介してウインドウコンパレータ33乃至35に夫々入力される。多値信号の論理値がHであるとき、ウインドウコンパレータ33から論理値Hが出力され、RSフリップフロップ36のQ出力から2値信号の論理値Hが出力される。多値信号の論理値がMであるとき、ウインドウコンパレータ34から論理値Hが出力される。多値信号の論理値がLであるとき、ウインドウコンパレータ35から論理値Hが出力され、RSフリップフロップ36のQ出力から2値信号の論理値Lが出力される。この結果、RSフリップフロップ36のQ出力から出力される信号はデータ信号となり、ウインドウコンパレータ34から出力される信号はクロック信号となる。

【0051】図6は、デコード回路112に入力される多値信号の波形と、ウインドウコンパレータ33及び35の出力信号の波形、即ち、Hレベル検出結果及びLレベル検出結果と、デコード回路112から出力されるデータ信号及びクロック信号の波形との関係を示すタイミ

ングチャートである。図6に示すように、多値信号がHレベルのとき、ウインドウコンパレータ33の出力信号はHレベルになり、RSフリップフロップ36のQ出力信号、即ち、データ信号はHレベルになる。また、多値信号がLレベルのとき、ウインドウコンパレータ35の出力信号はHレベルになり、RSフリップフロップ36のQ出力信号、即ち、データ信号はLレベルになる。一方、多値信号がMレベルのとき、ウインドウコンパレータ34の出力信号はHレベルになり、クロック信号はHレベルになる。

【0052】このようにして、デコード回路112において、多値信号からデータ信号(シリアル表示データ信号DS)及びクロック信号(シフトクロック信号SC)が復元される。このデータ信号及びクロック信号が各データドライバ回路111のシフトレジスタ回路11に対して出力される。なお、本実施例に係るAC型カラーPDP装置110の動作における上記以外の動作は、前述の従来のAC型カラーPDP装置100の動作と同じである。

【0053】本実施例によれば、フォーマット変換回路104及び駆動信号発生回路105の出力側に多値信号出力回路107を設け、データ信号とクロック信号とを多重化して多値信号を生成し、この多値信号をデータドライバ回路111に伝送することにより、伝送に伴ってデータ信号とクロック信号との間に位相のずれが発生することを防止できる。このため、AC-PDP102(図1参照)において、前記位相のずれに起因する誤った表示及び映像ノイズが発生することがない。

【0054】また、本実施例においては、多値信号出力回路107及びデコード回路112を簡略な構成の集積回路により形成することができる。このため、データ信号とクロック信号の多重化及び復元が容易に実現できる。従って、本実施例のAC型カラーPDP装置は、例えば、データドライバ回路側においてPLL又は独自のクロック発生回路を設けて入力信号のパルス幅を検出して復元するようにしたAC型カラーPDP装置と比較して、構成が簡単で、外部に追加部品を必要としない。特に、本実施例におけるデコード回路は、前述のデータドライバ回路のような1台のAC型カラーPDP装置中に多数使用しなければならない部品に搭載する回路として好適なものである。この結果、本実施例のAC型カラーPDP装置は、伝送に伴うデータ信号とクロック信号との間に位相のずれを、低コストで且つ装置を大型化することなく防止することができる。

【0055】更に、本実施例においては、多値信号のMレベルをセンターとしてデータ信号のL/Hに対応して多値信号のL/Hが出力されるので、3値のLからHのジャンプ又はこの逆のジャンプは発生せず、変化量は常にH/2に制限される。このため、本実施例において使用する多値信号は、高速伝送に適している。

【0056】なお、本実施例においては、多値信号出力回路107を図2に示すように構成し、デコード回路112を図4に示すように構成したが、多値信号出力回路及びデコード回路の構成はこれに限定されず、任意の構成とすることができる。

【0057】次に、本発明の第2の実施例について説明する。図7は本実施例に係るAC型カラーPDP装置の構成を示すブロック図である。なお、図1に示すAC型カラーPDP装置120の構成要素において、図1に示す第1の実施例に係るAC型カラーPDP装置110の構成要素と同一の構成要素には同一の符号を付し、その詳細な説明を省略する。図7に示すように、本実施例に係るAC型カラーPDP装置120は、前述の第1の実施例に係るAC型カラーPDP装置110（図1参照）と比較して、AC型カラーPDP装置110の多値信号出力回路107の代わりに多値信号出力回路117が設けられ、AC型カラーPDP装置110のデータドライバ回路111（111A、111B、111C、・・・、111E）の代わりにデータドライバ回路121（121A、121B、121C、・・・、121E）が設けられている。本実施例に係るAC型カラーPDP装置120における上記以外の構成は、前述の第1の実施例に係るAC型カラーPDP装置110（図1参照）の構成と同一である。以下、多値信号出力回路117及びデータドライバ回路121の構成について詳細に説明する。

【0058】図8は多値信号出力回路117の構成を示すブロック図である。第1の実施例と同様に、本実施例においても多値信号としてL、M、Hの3種類の論理値からなる3値信号を使用する。論理値L、M、Hの実際の電圧レベルは任意である。例えば、Lには0V、Mには1.5V、Hには3Vを使用する。図8に示すように、多値信号出力回路117においては、3個のアナログマルチプレクサ45乃至47が設けられ、アナログマルチプレクサ45乃至47には、夫々Hレベル（3V）、Mレベル（1.5V）、Lレベル（0V）の電圧が入力されている。また、フォーマット変換回路104から出力されたシフトクロック信号SCが入力されるインバータ41、ANDゲート42、ANDゲート43が並列に設けられている。ANDゲート43の入力側にはシリアル表示データ信号DSが入力されるインバータ44が設けられている。シフトクロック信号SCはインバータ41、ANDゲート42、ANDゲート43に並列に入力され、シリアル表示データ信号DSはANDゲート42に入力されると共に、インバータ44を介してANDゲート43に入力されるようになっている。

【0059】インバータ41の出力側はアナログマルチプレクサ47の入力側に接続され、ANDゲート42の出力側はアナログマルチプレクサ45の入力側に接続され、ANDゲート43の出力側はアナログマルチプレク

サ46の入力側に接続されている。また、アナログマルチプレクサ45乃至47の出力側にはバッファアンプ48が設けられ、このバッファアンプ48の出力側には多値信号出力回路117の出力端子49が設けられている。

【0060】図9はデータドライバ回路121の構成を示すブロック図である。図9に示すように、データドライバ回路121においては、ドライバ回路113及びデコード回路122が設けられ、ドライバ回路113の入力側にデコード回路122が接続されている。ドライバ回路113は図3に示す第1の実施例のドライバ回路113と同一である。

【0061】図10は図9に示すデコード回路122の構成を示すブロック図である。デコード回路122は多値信号出力回路107から出力された多値信号が入力され、この多値信号をシフトクロック信号SC及びシリアル表示データ信号DSに復元してドライバ回路113に対して出力するものである。

【0062】図10に示すように、デコード回路122においては、入力端子51が設けられ、バッファアンプ52が設けられ、入力端子51はバッファアンプ52の入力側に接続されている。また、3個のウインドウコンパレータ53乃至55が設けられ、バッファアンプ52の出力側はウインドウコンパレータ53乃至55の入力側に並列に接続されている。ウインドウコンパレータ53は入力電圧が3VのときのみHレベルを出力するものであり、ウインドウコンパレータ54は入力電圧が1.5VのときのみHレベルを出力するものであり、ウインドウコンパレータ55は入力電圧が0VのときのみHレベルを出力するものである。ウインドウコンパレータ53及び54の出力側にはRS-フリップフロップ56が設けられ、ウインドウコンパレータ53及び54の出力信号が夫々RS-フリップフロップ56のセット端子及びリセット端子に入力されるようになっている。RS-フリップフロップ56のQ出力からは2値化されたシリアル表示データ信号DSがシフトレジスタ回路11に対して出力される。ウインドウコンパレータ55の出力信号は、そのままシフトクロック信号SCとしてシフトレジスタ回路11に対して出力される。

【0063】次に、本実施例に係るAC型カラーPDP装置120の動作について説明する。本実施例に係るAC型カラーPDP装置120の動作は、前述の第1の実施例に係るAC型カラーPDP装置110の動作と比較して、シフトクロック信号SCがレベルHでありシリアル表示データ信号DSがレベルHであるとき多値信号をレベルHとし、シフトクロック信号SCがレベルHでありシリアル表示データ信号DSがレベルLであるとき多値信号をレベルMとし、シフトクロック信号SCがレベルLである期間においては多値信号がレベルLを保持する点が異なっている。

【0064】図7に示すように、フォーマット変換回路104から多値信号出力回路117に2値のシリアル表示データ信号DS（データ信号）が入力される。また、駆動信号発生回路105から多値信号出力回路117に2値のシフトクロック信号SC（クロック信号）が入力される。

【0065】次に、図8に示すように、多値信号出力回路117において、クロック信号がインバータ41、ANDゲート42、ANDゲート43に並列に入力される。このため、クロック信号がLである期間、アナログマルチプレクサ47から0の電圧が出力され、出力端子49からは電圧が0Vの信号、即ち、論理値Lが出力される。クロック信号がHである期間において、データ信号がHである期間は、ANDゲート42から論理値Hが出力され、アナログマルチプレクサ45から3Vの電圧が出力される。従って、出力端子49から電圧が3Vの信号、即ち、論理値Hが出力される。クロック信号がHである期間において、データ信号がLである期間は、ANDゲート43から論理値Hが出力され、アナログマルチプレクサ46から1.5Vの電圧が出力される。従って、出力端子49から電圧が1.5Vの信号、即ち、論理値Mが出力される。このように、多値信号出力回路117においてクロック信号とデータ信号とが多重化され、出力端子49から3値の多値信号が出力される。

【0066】図11は、多値信号出力回路117に入力されるデータ信号及びクロック信号の波形と多値信号出力回路117から出力される多値信号の波形との関係を示すタイミングチャートである。図11に示すように、クロック信号がHである期間において、データ信号がHである場合は多値信号がH、データ信号がLである場合は多値信号はMになる。また、クロック信号がLである期間は多値信号はLを保持する。

【0067】多値信号出力回路117（図7参照）から出力された多値信号は、配線を経由して各データドライバ回路121のデコード回路122（図9参照）に入力される。図10に示すように、デコード回路122の入力端子51に入力された多値信号は、バッファアンプ52を介してウインドウコンパレータ53乃至55に夫々入力される。多値信号の論理値がH（3V）であるとき、ウインドウコンパレータ53から論理値Hが出力され、RSフリップフロップ56のQ出力から2値信号の論理値Hが出力される。多値信号の論理値がM（1.5V）であるとき、ウインドウコンパレータ54から論理値Hが出力され、RSフリップフロップ56のQ出力から2値信号の論理値Lが出力される。多値信号の論理値がL（0V）であるとき、ウインドウコンパレータ55から論理値Hが出力され、この結果、RSフリップフロップ56のQ出力から出力される信号はデータ信号となり、ウインドウコンパレータ55から出力される信号はクロック信号となる。

【0068】図12は、デコード回路122に入力される多値信号の波形と、ウインドウコンパレータ53及び54（図10参照）の出力信号の波形、即ち、Hレベル検出結果及びMレベル検出結果と、デコード回路122から出力されるデータ信号及びクロック信号の波形との関係を示すタイミングチャートである。図12に示すように、多値信号がHレベルのとき、ウインドウコンパレータ53の出力信号はHレベルになり、RSフリップフロップ56のQ出力信号、即ち、データ信号はHレベルになる。また、多値信号がMレベルのとき、ウインドウコンパレータ54の出力信号はHレベルになり、RSフリップフロップ56のQ出力信号、即ち、データ信号はLレベルになる。一方、多値信号がLレベルのとき、ウインドウコンパレータ55の出力信号はHレベルになり、クロック信号はHレベルになる。

【0069】このようにして、デコード回路122において、多値信号からデータ信号（シリアル表示データ信号DS）及びクロック信号（シフトクロック信号SC）が復元される。このデータ信号及びクロック信号が各データドライバ回路121のシフトレジスタ回路11に対して出力される。なお、本実施例に係るAC型カラーPDP装置120の動作における上記以外の動作は、前述の第1の実施例に係るAC型カラーPDP装置110の動作と同じである。

【0070】本実施例においても、前述の第1の実施例と同様の効果を得ることができる。また、本実施例においては、多値信号を4種類以上の論理値を持つ4値又は5値以上の信号とすることも可能である。これにより、配線本数の削減を図ることができる。

【0071】なお、本実施例においては、多値信号出力回路117を図8に示すように構成し、デコード回路122を図10に示すように構成したが、多値信号出力回路及びデコード回路の構成はこれに限定されず、任意の構成とすることができる。

【0072】

【発明の効果】以上詳述したように、本発明によれば、シリアル表示データ信号とシフトクロック信号とを多重化してクロック情報を有する多値信号を生成し、この多値信号をデータドライバ回路に対して伝送することにより、シリアル表示データ信号及びシフトクロック信号を同一信号線上でシリアル伝送することができ、この結果、画面を高精細化及び大画面化しても、両信号間におけるタイミングずれ（スキュー）の発生を防止し、受信側でのラッチミスによる映像ノイズの発生を抑えることができる。また、これにより、全てのデータドライバ回路に共通のシフトクロック信号を各データドライバ回路にタイミングずれを発生しないように分配するために複雑な回路を設ける必要がなくなる。更に、シリアル表示データ信号とシフトクロック信号とを多重化する多値信号出力回路、及び多値信号をシリアル表示データ信号と

シフトクロック信号とに復調するデコード回路は、夫々従来の制御回路及びデータドライバ回路に簡単な回路を付加することにより実現でき、加えて、従来必要であったシフトクロック信号を複数のデータドライバ回路に分配するバッファが不要になる。このため、マトリクス表示装置のコスト及び実装面積を、従来と同等又はそれ以下とすることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るAC型カラーPDP装置の構成を示すブロック図である。

【図2】本実施例における多値信号出力回路の構成を示すブロック図である。

【図3】本実施例におけるデータドライバ回路の構成を示すブロック図である。

【図4】本実施例におけるデコード回路の構成を示すブロック図である。

【図5】本実施例における多値信号出力回路に入力されるデータ信号及びクロック信号の波形と多値信号出力回路から出力される多値信号の波形との関係を示すタイミングチャートである。

【図6】本実施例におけるデコード回路に入力される多値信号の波形と、ウインドウコンパレータの出力信号の波形と、デコード回路から出力されるデータ信号及びクロック信号の波形との関係を示すタイミングチャートである。

【図7】本発明の第2の実施例に係るAC型カラーPDP装置の構成を示すブロック図である。

【図8】本実施例における多値信号出力回路の構成を示すブロック図である。

【図9】本実施例におけるデータドライバ回路の構成を示すブロック図である。

【図10】本実施例におけるデコード回路の構成を示すブロック図である。

【図11】本実施例における多値信号出力回路に入力されるデータ信号及びクロック信号の波形と多値信号出力回路から出力される多値信号の波形との関係を示すタイミングチャートである。

【図12】本実施例におけるデコード回路に入力される多値信号の波形と、ウインドウコンパレータの出力信号の波形と、デコード回路から出力されるデータ信号及びクロック信号の波形との関係を示すタイミングチャートである。

【図13】従来のAC型カラーPDP装置の構成を示すブロック図である。

【図14】この従来のAC型カラーPDP装置に組み込まれたデータドライバ回路の構成を示す図である。

【図15】(a)及び(b)はデータドライバ回路における表示データの入力方法を示すタイミングチャートであり、(a)はシリアル表示データ信号を1ビットずつデータドライバ回路に入力する方法を示し、(b)は3

ビットずつ入力する方法を示す。

【図16】シフトレジスタ回路がシリアル表示データ信号を取り込む方法を示すタイミングチャートである。

【図17】従来のAC型カラーPDP装置におけるシリアル表示データ信号及びシフトクロック信号の伝送経路を示す模式図である。

【図18】(a)及び(b)はシフトレジスタ回路におけるシリアル表示データ信号DSの位相及びシフトクロック信号SCの位相とシリアル表示データ信号DSの入力挙動との関係を示す図であり、(a)はシリアル表示データ信号DSの位相とシフトクロック信号SCの位相との関係が適切である場合のタイミングチャートであり、(b)はこの場合のAC-PDPの表示挙動を示す図である。

【図19】(a)及び(b)はシフトレジスタ回路におけるシリアル表示データ信号DSの位相及びシフトクロック信号SCの位相とシリアル表示データ信号DSの入力挙動との関係を示す図であり、(a)はシリアル表示データ信号DSの位相とシフトクロック信号SCの位相との関係が不適切である場合のタイミングチャートであり、(b)はこの場合のAC-PDPの表示挙動を示す図である。

【符号の説明】

11; シフトレジスタ回路
12; データを並列ラッチ回路
24~26、45~47; アナログマルチプレクサ
21、23、41、44; インバータ
22、42、43; ANDゲート
27; バッファアンプ
28; 出力端子
31、51; 入力端子
32、52; バッファアンプ
33~35、53~55; ウインドウコンパレータ
36、56; RS-フリップフロップ
48; バッファアンプ
49; 出力端子
100、110、120; AC型カラーPDP装置
101、111、121; データドライバ回路
102; AC型プラズマディスプレイパネル(AC-PDP)
103、103A、・・・、103C; スキャンドライバ回路
104; フォーマット変換回路
105; 駆動信号発生回路
106; 高圧駆動回路
107、117; 多値信号出力回路
108; フレームメモリ
112、122; デコード回路
113; ドライバ回路
DS; シリアル表示データ信号

SC:シフトクロック信号

 Φ :並列ラッチ制御信号

OS:出力制御信号

Vd:高圧電源

G、G1、G2、G3、G4、...、Gn:出力制御

用論理ゲート回路

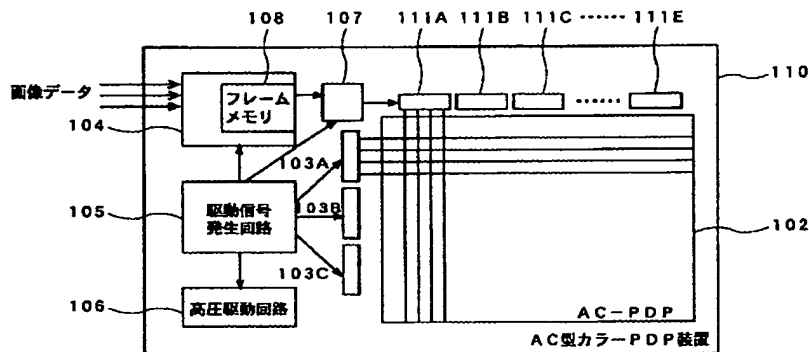
* B、B1、B2、B3、B4、...、Bn:高耐圧C
MOSドライバ

O、O1、O2、O3、O4、...、On:データ

C、C1、C2、C3、C4、...、Cn:データ信
号

*

【図1】



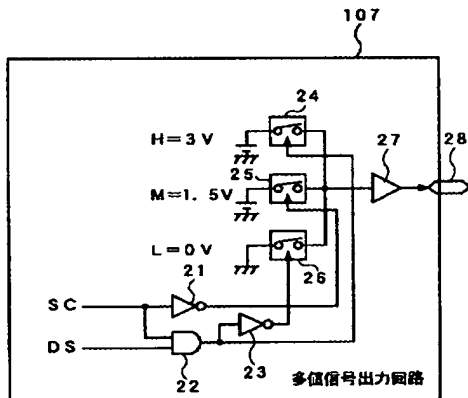
103、103A、...、103C:スキャンドライバ回路

104:フォーマット変換回路

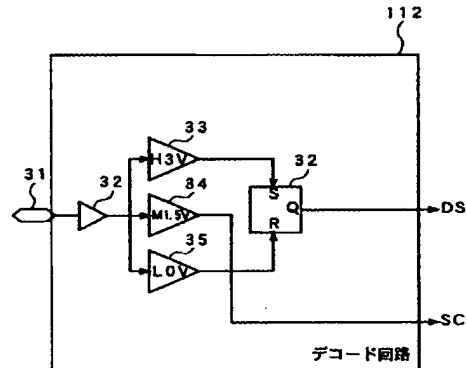
117:多値信号出力回路

111A、111B、111C、...、111E:データドライバ回路

【図2】



【図4】



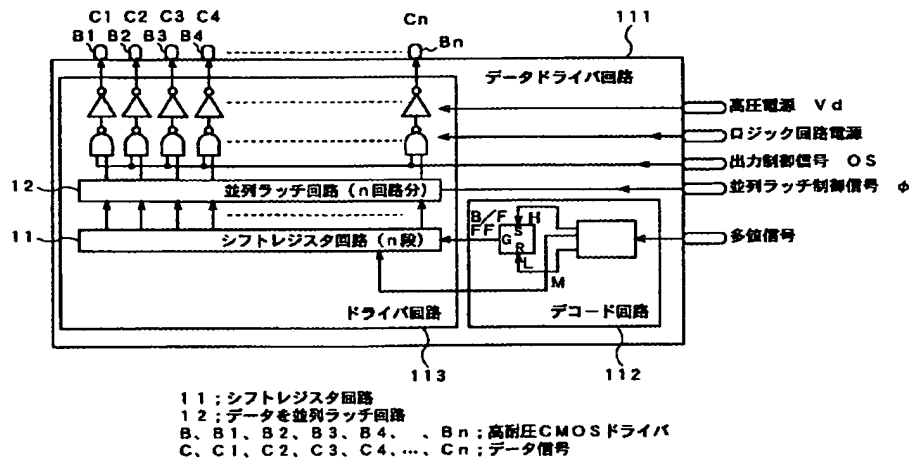
31:入力端子

32:バッファアンプ

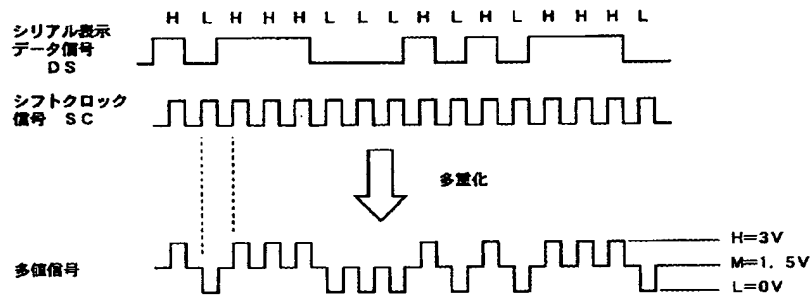
33~35:ウィンドウコンパレータ

36:RS-フリップフロップ

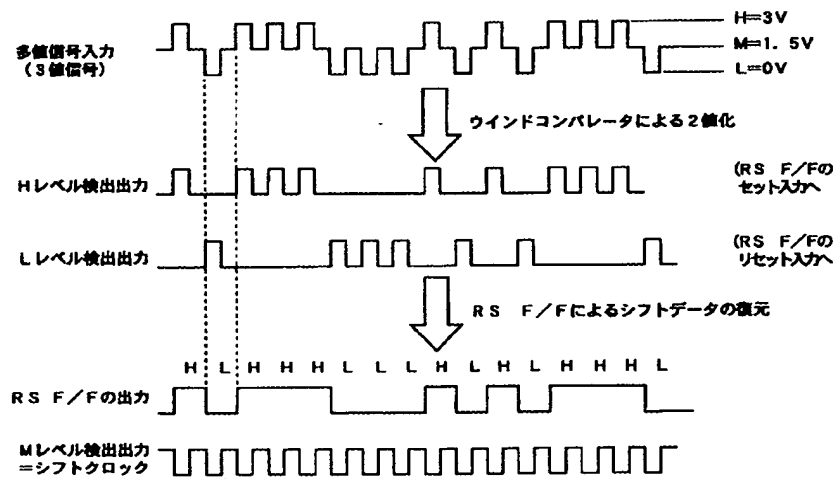
【図3】



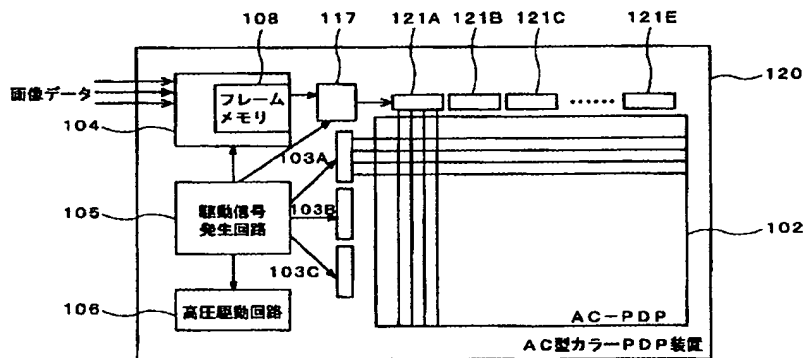
【図5】



【図6】



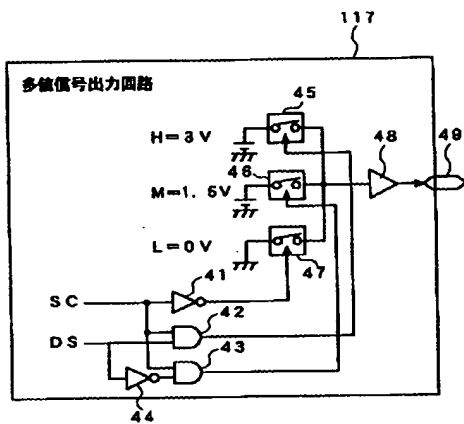
【図7】



117: 多値信号出力回路

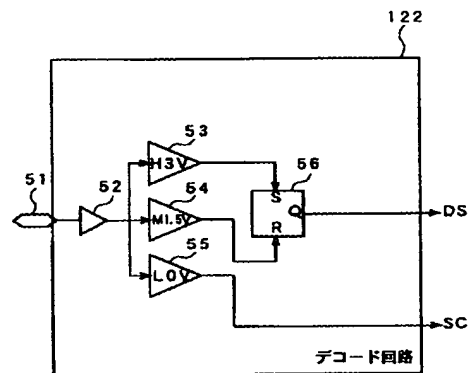
121A、121B、121C、...、121E: データドライバ回路

【図8】



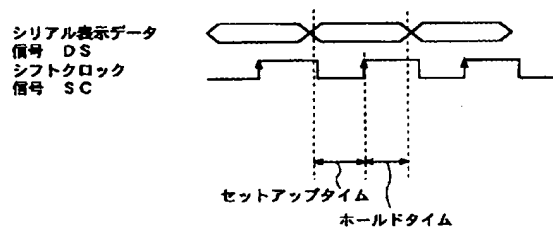
45、46、47: アナログマルチプレクサ
 41、44: インバータ
 42、43: ANDゲート
 48: バッファアンプ
 49: 出力端子

【図10】

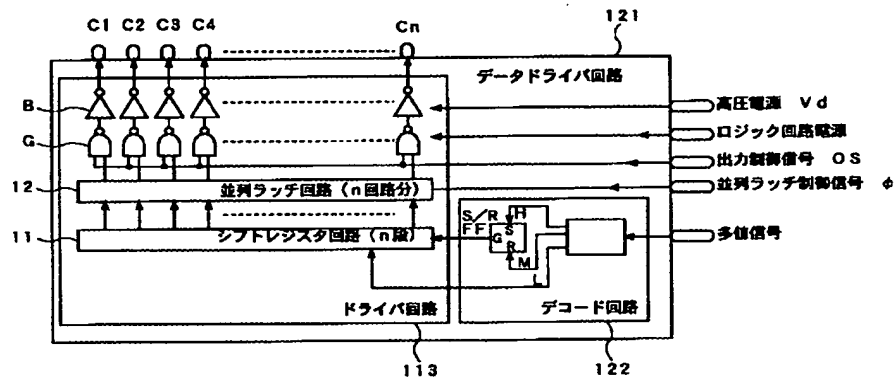


51: 入力端子
 52: バッファアンプ
 53、54、55: ウィンドウコンパレータ

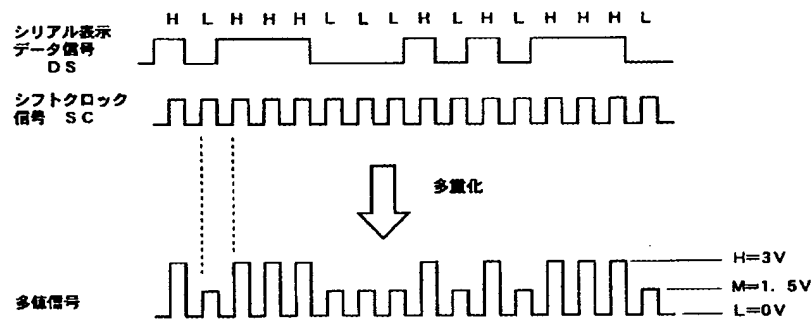
【図16】



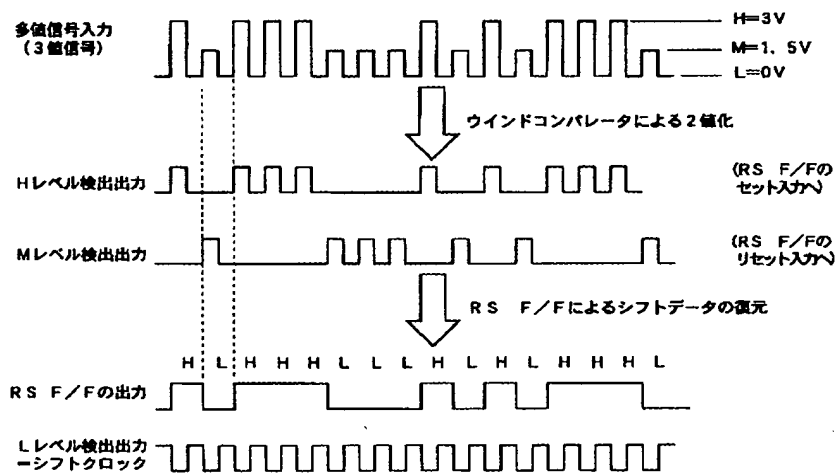
【図9】



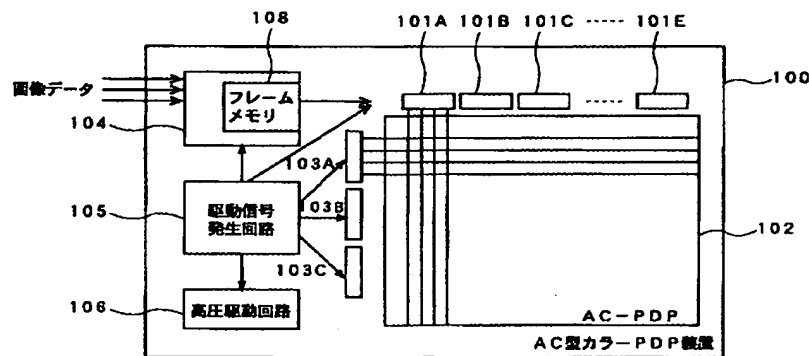
【図11】



【図12】

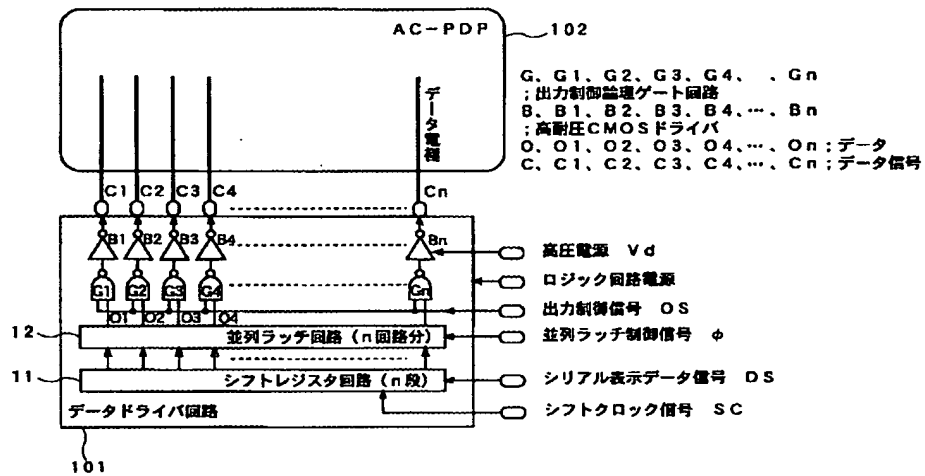


【図13】

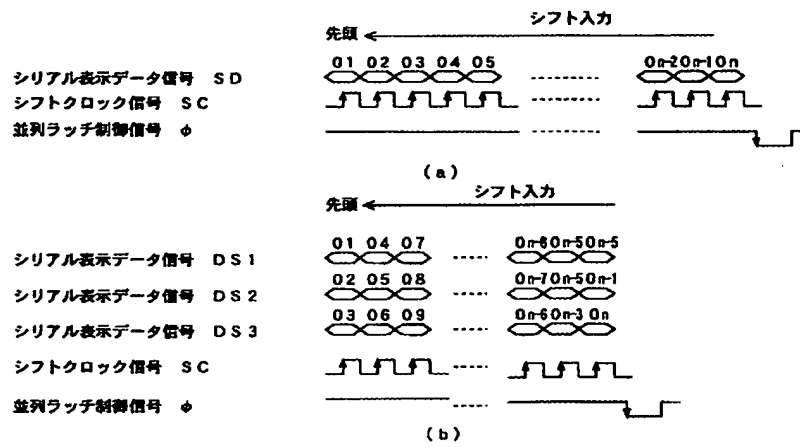


101A、101B、101C、...、101E：データドライバ回路
 103、103A、...、103C：スキャンドライバ回路
 104：フォーマット変換回路

【図14】



【図15】



【図17】

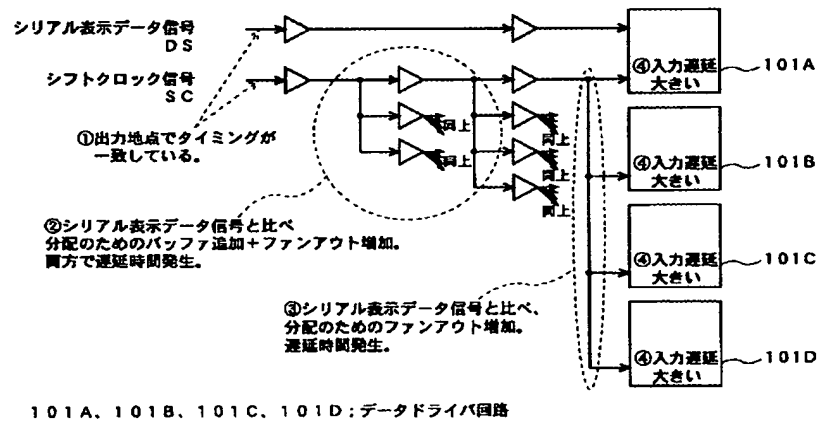


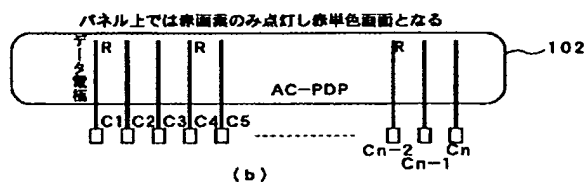
Figure 1 is a timing diagram of the serial display data signal. It shows the relationship between the serial display data signal (DS) and the shift clock signal (SC).

The top part of the diagram shows a detailed view of the data byte timing. The DS signal is shown as a sequence of data bytes (B, R, G) and their corresponding timing intervals (Set-up time, Hold time). The SC signal is shown as a clock waveform. The diagram is divided into two parts: a detailed view of the data byte timing and a summary view of the data sequence.

The detailed view shows the timing of the data bytes (B, R, G) and their corresponding timing intervals (Set-up time, Hold time). The SC signal is shown as a clock waveform. The diagram is divided into two parts: a detailed view of the data byte timing and a summary view of the data sequence.

The summary view shows the data sequence (R, G, B, R, G) and their corresponding timing intervals (Set-up time, Hold time). The SC signal is shown as a clock waveform. The diagram is divided into two parts: a detailed view of the data byte timing and a summary view of the data sequence.

The diagram is labeled (a).



(51) Int.Cl.⁷

識別記号
6 2 3
6 8 0
1 0 1

F I	
G O 9 C	3/20
	3/36
H O 4 N	5/66
G O 9 C	3/28

テーマコード（参考）

680C
101B
H

F ターム(参考) 5C006 AF50 AF72 BB11 BC16 BC20
BF03 BF49 BF50 FA16 FA37
5C058 AA11 BA01 BA23 BA33 BB01
BB10
5C080 AA05 BB05 CC06 DD09 EE29
HH02 HH04 JJ02 JJ03 JJ04